

(Concise explanations in relevancy)

Japanese laid-open patent publication No. 7-326536

Japanese laid-open patent publication Nos. 7-326536 and 8-17675 disclose that in order to reduce the self-inductance of a chip type stacked ceramic capacitor, an internal electrode is shaped in such a rectangle that a ratio of a short side "A" to a long side "B" is at most 0.5, and vias are formed over and under the internal electrode, and further substrate electrodes are aligned in a center region of a bottom surface of the chip type stacked ceramic capacitor.

CERAMIC CAPACITOR

Patent Number: JP7326536
Publication date: 1995-12-12
Inventor(s): NISHI YUKIHIRO; others: 01
Applicant(s):: KYOCERA CORP
Requested Patent: ☐ JP7326536
Application Number: JP19940119397 19940531
Priority Number(s):
IPC Classification: H01G4/12 ; H01G4/30
EC Classification:
Equivalents:

Abstract

PURPOSE:To obtain a ceramic capacitor with extremely low inductance in which the inductance generating in a capacitor can be suppressed very small and no malfunction to be caused by the variation of high voltage level due to noise generation occurs even in a high-speed circuit module.
CONSTITUTION:A ceramic capacitor 23 is comprised of a chip body 24 having a capacitor part 26 that is formed by laminating a dielectric ceramic layer and rectangular inner electrodes 25a and 25b, and a pair of electrodes 27a and 27b that are formed on one main surface parallel to the inner electrodes 25a and 25b of the body 24. A ratio A/B of the short-side length A to long-side length B of the electrodes 25a and 25b is set to 0.5 or less, and at the same time, a plurality of via holes 28a and 28b are formed in the central part of the electrodes 25a and 25b in a line along the long-side direction and the electrodes 27a and 27b and electrodes 25a and 25b are connected with each other through the alternate via holes 28a and 28b.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-326536

(43) 公開日 平成7年(1995)12月12日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 G	4/12	3 5 2		
	4/30	3 0 1 C	7924-5E	
		B	7924-5E	

審査請求 未請求 請求項の数 1 O L (全 10 頁)

(21) 出願番号 特願平6-119397

(22) 出願日 平成6年(1994)5月31日

(71) 出願人 00006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地の22

(72) 発明者 西 幸宏

鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

(72) 発明者 橋本 浩一

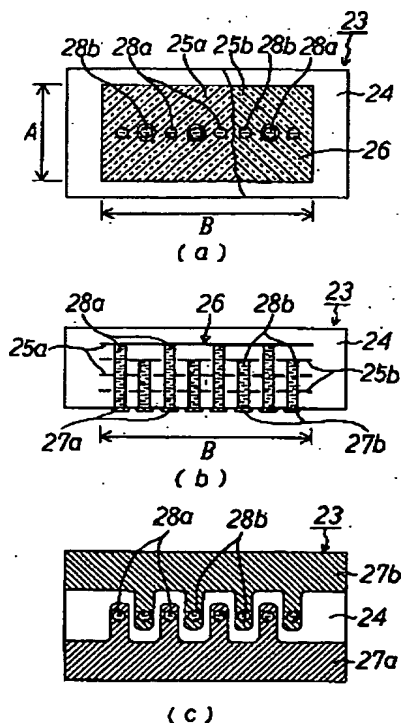
鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

(54) 【発明の名称】 セラミックコンデンサ

(57) 【要約】

【構成】 誘電体磁器層と長方形の内部電極25a、25bとを積層して形成したコンデンサ部26を有するチップ本体24と、チップ本体24の内部電極25a、25bと平行な一主面上に形成した一対の基板用電極27a、27bとから成るセラミックコンデンサ23において、内部電極25a、25bの短辺の長さAと長辺の長さBとの比A/Bを0.5以下とすると共に、内部電極25a、25bの中央部に長辺方向に沿って複数のビアホール28a、28bを列状に配設し、基板用電極27a、27bと内部電極25a、25bとを一つおきのビアホール28a、28bを介して接続する。

【効果】 コンデンサに生じるインダクタンスを非常に小さく抑制でき、高速化された回路モジュールにおいてもノイズ発生による電圧レベルの変動に起因する誤動作を引き起こさない、極めて低インダクタンスのセラミックコンデンサが得られる。



【特許請求の範囲】

【請求項1】 誘電体磁器層と長形状の内部電極とを交互に積層して形成されたコンデンサ部を有するチップ本体と、該チップ本体の前記内部電極と平行な一主面上に形成された一对の基板用電極とから成るセラミックコンデンサにおいて、前記内部電極の短辺の長さをAとし長辺の長さをBとしたときの比 A/B を0.5以下とするとともに、前記内部電極の中央部に長辺方向に沿って複数のビアホールを列状に配設し、前記基板用電極と内部電極とを一つおきのビアホールを介して接続したことを特徴とするセラミックコンデンサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、コンデンサ部と外部の電気回路基板の配線に接続するための基板用電極とを有するセラミックコンデンサに関し、詳細には、非常に高速でスイッチングする大型コンピュータ等の回路モジュールに組み込まれる、低インダクタンスのセラミックコンデンサに関するものである。

【0002】

【従来の技術】従来、面実装タイプのセラミック（磁器）コンデンサとしては、特開昭59-914号等に開示されたチップ型積層セラミックコンデンサが知られている。

【0003】図3（a）及び（b）は、そのようなチップ型コンデンサの構成を示すもので、同図（a）は横断面図であり、（b）は縦断面図である。図3（a）及び（b）に示したチップ型コンデンサ1は、誘電体磁器からなるチップ本体2の内部に、第1パターンの内部電極3aと第2パターンの内部電極3bとが誘電体磁器を介して交互に積層されて、コンデンサ部（容量発生部）4が形成されている。チップ本体2の左右の端面には、外部の電気回路基板の配線に接続するための基板用電極として、厚み50～100 μm の端子電極5a、5bが形成され、内部電極3a、3bの一端がそれぞれ接続されている。そして、端子電極5a、5bが半田等で回路基板の配線と接続されて、面実装される。

【0004】このようなチップ型コンデンサ1においては、図3（a）において端子電極に直交する方向の内部電極の長さCと、端子電極に平行な方向の内部電極の長さDとの比 C/D が大きくなる程、インダクタンスが大きくなることが知られている。図3に示した従来のチップ型コンデンサ1では、 C/D が通常1.5以上と大きかったため、インダクタンスが1.0nH以上と大きくなっていた。

【0005】また、チップ型セラミックコンデンサのインダクタンスは、端子電極の厚みが厚くなることによっても大きくなる。図3（a）及び（b）に示した従来のチップ型コンデンサでは、端子電極の厚みが50～100 μm と厚かったため、それによってもインダクタンスが大きくなっていた。

【0006】これに対し、コンピュータ等の非常に高速でスイッチングする集積回路モジュールにおいては、コンデンサのインダクタンスが0.1nHよりも大きくなると、ノイズ発生による電圧レベルの変動に起因する回路の誤動作が生じるおそれがある。従って、上記構成の従来のチップ型セラミックコンデンサ1では、そのような集積回路に適用できないという問題点があった。

【0007】近年、このようなノイズ発生による電圧レベルの変動に起因する回路の誤動作を防止するべく、例えば、図4（a）及び（b）にそれぞれ横断面図及び縦断面図で示すような構成のセラミックコンデンサ6が開発されている。なお、同図において、図3と同様の箇所には同じ符号を付してある。このセラミックコンデンサ6は、内部電極3a、3bの端子電極に直交する方向の内部電極の長さCと、端子電極に平行な方向の内部電極の長さDとの比 C/D を0.5～0.7とすることにより、発生するインダクタンスを0.7nH程度に抑制することができるものである。

【0008】また、特開昭56-94720号には、図5に縦断面図で示すような構成のセラミックコンデンサ7が開示されている。このセラミックコンデンサ7においては、誘電体磁器からなるチップ本体8の内部に、第1の内部電極9aと第2の内部電極9bとが誘電体磁器を介して交互に垂直方向に形成されて、コンデンサ部10が形成されている。そして、第1の内部電極9a及び第2の内部電極9bは、それぞれ同じ側の端部において、第1の端子電極11a及び第2の端子電極11bに接続されている。なお、12は第1の端子電極11aと第2の端子電極11bとを電気的に絶縁するための絶縁層である。このような構成として、内部電極を流れる電流が、誘電体磁器層を介して隣接する対向した第1の内部電極9a及び第2の内部電極9b中を反対方向に流れるようにし、それにより内部電極中を流れる電流に付随する誘導磁場を相殺して、相互インダクタンスを減少させるものである。

【0009】更に、特開昭63-307715号には、図6に横断面図で示すような構成のセラミックコンデンサ13が開示されている。このセラミックコンデンサ13においては、誘電体磁器からなるチップ本体14の第1の角へ向かって延びて外部に露出する耳片部と本体部とを有する第1の内部電極15aと、誘電体磁器の第2の角へ向かって延びて外部に露出する耳片部と本体部とを有する第2の内部電極15bとが誘電体磁器を介して交互に積層されて、コンデンサ部16が形成されている。そして、各耳片部同士が外部で端子電極（図示せず）により接続されて、コンデンサ13を形成している。このような構成として、内部電極を流れる電流が、誘電体磁器層を介して隣接する対向した第1の内部電極15a及び第2の内部電極15b中をほぼ反対方向に流れるようにし、それにより内部電極中を流れる電流による磁界を相殺して、相互インダクタンスを減少させるものである。

【0010】

【発明が解決しようとする課題】しかしながら、上記図4に示したセラミックコンデンサ6においても、図3に示したセラミックコンデンサ1と同様に、インダクタンスが 0.1 nH よりも大きくなるため、やはりノイズ発生による電圧レベルの変動に起因する回路の誤動作が生じるおそれがあった。

【0011】また、特開昭56-94720号に開示されたセラミックコンデンサ7には、大容量を得るために内部電極9a、9b及び誘電体磁器層の積層数を増加すると、各内部電極に接続させる端子電極11a、11bもそれに応じて数多くかつ交互に極めて近接させて配置しなければならず、しかも各端子電極11a、11b間を絶縁した上で第1の端子電極11a同士及び第2の端子電極11b同士を接続する必要があるため、構造が非常に複雑となってしまうという問題点があった。また、各内部電極9a、9bを回路基板に対して垂直に配置するためコンデンサ7本体の高さが高くなってしまい、電子回路用の電子部品として小型化の要求に応じることが難しいという問題点もあった。更に、静電容量との関係で内部電極の長さの比 C/D を小さくすることに限界があるため、自己インダクタンスが大きくなってしまいう問題点もあった。

【0012】更に、特開昭63-307715号に開示されたセラミックコンデンサ13にも、隣接する対向した内部電極15a及び15b中を反対方向に流れる電流により相互インダクタンスは小さくなるものの、そのような効果を維持しつつ内部電極15a、15bの縦横比を小さくすることが静電容量との関係で難しいため、自己インダクタンスが大きくなってしまいう問題点があった。

【0013】これに対して本発明者等は、実願平4-45401号において、図7(a)及び(b)にそれぞれ横断面図及び縦断面図で示すような構成の低インダクタンスのセラミックコンデンサ17を提案した。このセラミックコンデンサ17は、誘電体磁器からなるチップ本体18の内部に、長方形の内部電極19a及び19bとが誘電体磁器を介して交互に積層されて、コンデンサ部20が形成されている。そして、基板用電極21a、21bをチップ本体18の底面のみに形成し、かつ長方形の内部電極19a、19bの長辺と基板用電極21a、21bとをビアホール22a、22bを介して接続するとともに、内部電極19a、19bの短辺の長さAと長辺の長さBとの比 A/B を0.5以下としている。このような構成により、コンデンサに発生する自己インダクタンスを低減し、インダクタンスを 0.1 nH 以下に抑制することができるものであり、また、端子電極の厚さを $20\text{ }\mu\text{ m}$ 以下とすることによりインダクタンスを更に低下させることができるものである。

【0014】しかし、このセラミックコンデンサ17においては、誘電体磁器層を挟んで隣接する対向した内部電極19a、19b中の電流は同方向に流れており、それにより発生する相互インダクタンスを低減させることが難し

く、更に高速化したスイッチングに対しては、ノイズ発生による電圧レベルの変動が生じるおそれがあるという問題点があった。従って、回路モジュールにおけるスイッチングの更なる高速化に対応するために、更に低インダクタンスのセラミックコンデンサが望まれていた。

【0015】本発明は、上記事情に鑑みて本発明者等が鋭意研究を進めた結果完成されたもので、その目的は、発生するインダクタンスを更に抑制することができる、極めて低インダクタンスとしたセラミックコンデンサを提供することにある。

【0016】また本発明の目的は、非常に高速化された回路モジュールにおいてもノイズ発生による電圧レベルの変動に起因する誤動作を引き起こさない、極めて低インダクタンスとした面実装タイプのセラミックコンデンサを提供することにある。

【0017】

【課題を解決するための手段】本発明のセラミックコンデンサは、誘電体磁器層と長方形の内部電極とを交互に積層して形成されたコンデンサ部を有するチップ本体と、そのチップ本体の内部電極と平行な一主面上に形成された一対の基板用電極とから成るセラミックコンデンサにおいて、前記内部電極の短辺の長さをAとし長辺の長さをBとしたときの比 A/B を0.5以下とするとともに、前記内部電極の中央部に長辺方向に沿って複数のビアホールを列状に配設し、前記基板用電極と内部電極とを一つおきのビアホールを介して接続したことを特徴とするものである。

【0018】

【作用】本発明のセラミックコンデンサは、誘電体磁器層と長方形の内部電極とを交互に積層して形成されたコンデンサ部において、内部電極の短辺の長さをAとし長辺の長さをBとしたときの比 A/B を0.5以下とすることにより、セラミックコンデンサに生じるインダクタンスを 0.1 nH 以下に抑制することができる。

【0019】また、本発明のセラミックコンデンサは、チップ本体の内部電極と平行な一主面上、即ち底面のみに一対の基板用電極を内部電極と平行になるように形成し、この基板用電極とそれに接続される内部電極とをビアホールを介して接続している。このように、チップ本体の端面に互いに対向配置された従来の基板用電極と異なり、基板用電極を互いに対向しない構成とすることによって、基板用電極間の相互インダクタンスも低減できるため、セラミックコンデンサに生じるインダクタンスをより一層低減する効果を有している。

【0020】更に、このビアホールについて、複数のビアホールを長方形の内部電極の短辺方向の中央部に長辺方向に沿って列状に配設し、一方の基板用電極とそれに接続される複数の内部電極とを、及び他方の基板用電極とそれに接続される複数の内部電極とを、それぞれ列状に配設した一つおきのビアホールを介して接続する構

成とする。ここで、これら両者の内部電極は交互に積層されており、一方の基板用電極とそれに接続される内部電極とを接続するビアホールは、他方の内部電極を貫通している。また、一対の基板用電極は、それぞれが列状に配設されたビアホールの列に向かって交互に、例えば櫛型状に入り組んだような形状として、一つおきのビアホールに接続するように構成する。

【0021】このような構成とすることにより、誘電体磁器層を挟んで相対した内部電極の中でビアホール列と内部電極の長辺との間を流れる電流が、ビアホール列の両側においてそれぞれ反対方向に流れるようになる。そのため、内部電極間に発生する相互インダクタンスを低減させることができるので、セラミックコンデンサに生じるインダクタンスを更に低減することができる。

【0022】従って、本発明のセラミックコンデンサによれば、極めて低インダクタンスのセラミックコンデンサとなり、非常に高速化された回路モジュールにおいてもノイズ発生による電圧レベルの変動に起因する誤動作を引き起こさない、面実装タイプのセラミックコンデンサを提供することができる。

【0023】

【実施例】以下、本発明のセラミックコンデンサを、実施例に基づいて詳述する。図1(a)～(c)は本発明のセラミックコンデンサの実施例を示すもので、同図(a)はセラミックコンデンサ23の横断面図であり、図の中央付近の破断線の両側で異なる断面を表わしている。また、同図(b)は縦断面図、同図(c)は底面図である。これらの図において、24はコンデンサ部を有するチップ本体であり、多数の誘電体磁器層を積層して構成されている。

【0024】このチップ本体24内には、チップ本体24を構成する誘電体磁器層の間に長方形の内部電極25a、25bを介装して、コンデンサ部26を形成している。ここで、図1(a)におけるAは長方形の内部電極25a、25bの短辺の長さを示し、Bは同じく長辺の長さを示している。そして、本発明のセラミックコンデンサ23においては、内部電極25a、25bの短辺と長辺の長さの比A/Bを0.5以下としている。

【0025】また、チップ本体24の底面には、外部の電気回路基板の配線に接続するための一対の基板用電極27a、27bを、内部電極25a、25bと平行になるように形成している。

【0026】そして、長方形の内部電極25a、25bの短辺方向のほぼ中央部には、基板用電極27a、27bと内部電極25a、25bとを接続するための導体を内部に充填した、複数のビアホール28a、28bを長辺方向に沿って列状に配設している。これらのビアホール28a、28bは、一つおきにチップ本体24の底面において基板用電極27a又は27bに接続しており、基板用電極27aに接続したビアホール28aは、コンデンサ部26において内部電極

25aに順次接続されていて、他方、基板用電極27bに接続したビアホール28bは、内部電極25bに順次接続されている。ここで、内部電極25a同士を接続する各ビアホール28aは、他方の内部電極25bを貫通しているが、この各ビアホール28aの回りの各内部電極25bに電極膜を形成しないブランク部を設けることにより空隙を確保して、各ビアホール28aと各内部電極25bとの間を絶縁している。また、内部電極25b同士を接続する各ビアホール25bと、それらが貫通する各内部電極25aとの間も、

10 同様にして絶縁している。

【0027】このように基板用電極27aと各内部電極25aとを一つおきのビアホール28aによって、また基板用電極27bと各内部電極25bとを同じく一つおきのビアホール28bによってそれぞれ接続することにより、誘電体磁器層を介して隣接して対向した内部電極25aと内部電極25bの中を流れる充電電流や放電電流などの電流は、図2に示すように、ビアホール28a、28bの列の両側において、それぞれほぼ反対方向に流れるようになる。

【0028】図2(a)及び(b)は、図1に示した本発明のセラミックコンデンサ23の内部電極25a、25b中を流れる電流の向きを示す横断面図及び縦断面図であり、図1と同様の箇所には同じ符号を付してある。図2(a)及び(b)においては、電流の向きとして、一方の基板用電極27aからビアホール28a及び内部電極25aを通り、誘電体磁器層を介して内部電極25bからビアホール28bを通して他方の基板用電極27bへと流れる場合を示している。そして、図中の実線の矢印は、基板用電極27aからビアホール28aを通して内部電極25aの中を流れる電流の主な向きを表わし、破線の矢印は、内部電極25bの中を流れて、ビアホール28bを通して基板用電極27bへと流れる電流の主な向きを表わしている。なお、電流がこれとは逆に、基板用電極27bから基板用電極27aへと流れる場合には、各々の矢印の向きは逆向きとなる。本発明の構成のセラミックコンデンサ23であれば、図2(a)及び(b)に示したように、誘電体磁器層を挟んで相対した内部電極25aと25bとの中で、ビアホール28a、28bの列と内部電極25a、25bの長辺との間を内部電極25a、25bの短辺に平行な方向に流れる電流が、ビアホール28a、28b列の両側においてそれぞれほぼ反対方向に流れるようになる。そのため、内部電極25a、25b間に発生する相互インダクタンスが相殺され、インダクタンスを低減させることができる。

【0029】従って、以上のように構成されたセラミックコンデンサ23では、基板用電極27a、27bをチップ本体24の内部電極25a、25bと平行な一主面、即ち底面のみに内部電極25a、25bと平行になるように形成することによって、基板用電極27a、27bに発生する相互インダクタンスを低減することができる。また、長方形の内部電極25a、25bの短辺と長辺の長さの比A/Bを0.5以下とすることによって、コンデンサ部26に発生す

る自己インダクタンスを抑制することができる。そして、内部電極25a、25bの中央部に列状に配設した複数のビアホール28a、28bの一つおきによって基板用電極27a、27bと内部電極25a、25bとを接続し、相対する内部電極25a、25b間でそれらの中を電流が反対方向に流れるようにすることによって、内部電極25a、25b間で発生する相互インダクタンスを低減することができる。そのため、セラミックコンデンサ23に生じるインダクタンスを0.1nH以下、例えば0.07nH程度に非常に小さく抑制することができ、非常に高速でスイッチングする回路モジュールに使用した場合においても、ノイズ発生による電圧レベルの変動に起因する回路の誤動作を生じることがなくなる。

【0030】チップ本体24を構成する誘電体磁器層には、種々の誘電体材料を用いることができ、例えばBaTiO₃、LaTiO₃、CaTiO₃、NdTiO₃、MgTiO₃、SrTiO₃、CaZrO₃、SrSnO₃、BaTiO₃にNb₂O₅、Ta₂O₅、ZnO、CoO等を添加した組成物、BaTiO₃の構成原子であるBaをCaで、TiをZrやSnで部分的に置換した固溶体等のチタン酸バリウム系材料や、Pb(Mg_{1/3}Nb_{2/3})O₃、Pb(Fe, Nd, Nb)O₃系ペロブスカイト型構造化合物、Pb(Mg_{1/3}Nb_{2/3})O₃-PbTiO₃等の2成分系組成物、Pb(Mg_{1/3}Nb_{2/3})O₃-PbTiO₃-Pb(Mg_{1/2}W_{1/2})O₃、Pb(Mg_{1/3}Nb_{2/3})O₃-Pb(Zn_{1/3}Nb_{2/3})O₃-PbTiO₃、Pb(Mg_{1/3}Nb_{2/3})O₃-Pb(Zn_{1/3}Nb_{2/3})O₃-Pb(Sm_{1/2}Nb_{1/2})O₃等の3成分系組成物、あるいはそれらにMnO、MnO₂、CuO、BaTiO₃等を添加したもの等の鉛系リラクサー材料などが挙げられる。チップ本体24の形成に際しては、これらの誘電体粉末をバインダーと十分に混合したスリッパからセラミックグリーンシートに成形したものを使用する。

【0031】内部電極25a、25bを形成する材料としては、例えばPd、Ag、Pt、Ni、Cu、Pb及びそれらの合金が挙げられる。内部電極25a、25bの形成に当たっては、このような電極材料粉末をバインダーと混合粉砕してペースト状にした導電性ペーストが用いられる。この導電性ペーストを、スクリーン印刷法などによってセラミックグリーンシート上に内部電極パターンとして印刷して、積層、圧着、焼成することにより、所望の内部電極25a、25bを形成する。

【0032】また、基板用電極27a、27bを形成する材料は、内部電極27a、27bと同様であり、導電性ペーストとしてチップ本体24の底面に塗布し、焼成することにより、所望の基板用電極27a、27bを形成する。あるいは、スパッタリング等の薄膜形成法による導体膜によって形成してもよい。また、このようにして形成した電極膜に、更にメッキ法によりNi、Ni-Sn、Au等の

メッキ膜を析出させてもよい。

【0033】基板用電極27a、27bは、チップ本体24の内部電極25a、25bと平行な一主面上に、内部電極25a、25bと平行になるように形成されるとともに、内部電極25a、25bのほぼ中央部に列状に形成される複数のビアホール28a、28bのそれぞれと一つおきに接続するように、ビアホール28a、28bの列に向かい合って交互に入り組んだような形状、例えば図1(c)に示した櫛型状などに形成される。この基板用電極27a、27bの厚さは、20μm以下とすると、更にインダクタンスが低下するといった点で好ましい。そして、基板用電極27a、27bの各々は、外部の回路モジュールに、その基板上の接続ランドなどを介して半田などを用いて接続される。

【0034】ビアホール28a、28bは、長方形の内部電極25a、25bの短辺方向のほぼ中央部に、長辺方向に沿って列状に複数形成する。この列は、必ずしも一直線状である必要はなく、ビアホール28a、28b間距離が200μm以下の範囲で、千鳥状（ジグザグ状）に配置してもよい。そのように千鳥状に配置すると、それらに接続する基板用電極の形状が単純化されるので、基板用電極の形成が容易となり、製造しやすくなるという利点がある。

【0035】ビアホール28a、28bの形成に当たっては、まずセラミックグリーンシートの所定の位置に、後から印刷する内部電極パターンのほぼ中央部に長辺方向に沿って列状に並ぶように、穴加工（スルーホール加工）を施す。この穴加工は、MPS（マルチ・パンチング・システム）装置などを使用して行なう。

【0036】次に、スルーホールを形成したグリーンシート上に、導電性ペーストを所定の内部電極パターン形状に印刷する。この内部電極パターンには、基板用電極27aに接続される内部電極25aとなるパターンと、基板用電極27bに接続される内部電極25bとなるパターンとの2種類を用いる。これら内部電極パターンの印刷に際しては、基板用電極と接続するためのビアホールとなるスルーホール部分には、導電性ペーストの一部がスルーホールの淵に掛かるように、スルーホールの径と同じ程度の大きさの中抜きを施して印刷する。一方、接続しないビアホールとなるスルーホール部分には、内部電極とビアホールとの電氣的な導通を避けて絶縁性を確保するため、スルーホール端部から所定のマージン（間隙）を設定して印刷する。このマージンは、印刷あるいは積層時のずれを見込んで設定されるが、通常は150μmより小さくなると絶縁不良を起し易い傾向があるため、それ以上に設定することが好ましい。但しこの数値は、内部電極パターンの印刷精度や印刷後のグリーンシートの積層精度、誘電体及び内部電極の材質の選定、ビアホール形成の際の導体のにじみ等により異なるため、それらに応じて適宜選択すれば良い。なお、スルーホール即ちビアホールの形状及び上記所定のマージンの形状は必ず

しも円形である必要はなく、所望の特性を有すれば、三角形、四角形、六角形等の多角形や楕円形などの種々の形状であってもよい。

【0037】次いで、上記のスルーホール加工と内部電極パターン印刷を施したグリーンシートを、2種類の内部電極パターンが交互に積層して、コンデンサ部26が形成されるように所定数積層する。即ち、誘電体磁器層を介して重なり合う内部電極が、交互に互いに隣り合うビアホールに導通するように積層する。その後、互いに繋がって細長い空洞を形成したスルーホール部に、基板用電極27a、27bと内部電極25a、25bとを接続するための導体を、スクリーン印刷、エッチングプレート印刷等の方法によって充填する。この導体の材料は、安定して電氣的導通を確保できれば特に限定はないが、内部電極25a、25bと同種の材料を用いると、焼成時の収縮の違いによる接続不良が発生せず、接続部が一体化して良好な導通特性が得られる点で好ましい。このようにして導体が充填されたスルーホールは、焼成後に、基板用電極27a、27bと内部電極25a、25bとを接続するビアホール28a、28bとなる。なお、ビアホール28a、28bの長さは、インダクタンスの発生に関与し、ビアホールが長くなるに従ってビアホールの持つ自己インダクタンスが増加するため、なるべく短くすることが好ましい。

【0038】そして、必要に応じてチップ本体24の上部のブランク層となるセラミックグリーンシートを積層し、熱圧着した後で所定のサイズに切断し、脱バインダーを行ない、焼成する。

【0039】焼成後に、バレル研磨を行なってチップ本体24の角面を研磨した後、チップ本体24の底面となる一主面に端部が露出しているビアホール28a、28bに対して、一対の基板用電極27a、27bを形成する。この基板用電極27a、27bは、互いに隣り合うビアホール28a、28bが、それぞれ基板用電極27a及び27bに接続されるような形状に形成することにより、一方の基板用電極27a又は27bに対して一つおきのビアホール28a又は28bが接続される形とする。この基板用電極27a、27bは、前述のように導電性ペーストを用いて形成してもよく、あるいはスパッタリング等の薄膜形成法によって形成してもよい。

【0040】以下に、本発明のセラミックコンデンサの具体例を示す。

【例1】まず、誘電体磁器層の材料として、PMN (Pb (Mg_{1/3} Nb_{2/3}) O₃) を主成分とする鉛系リラクサー材料粉末を用意し、アクリル系樹脂のバインダーと混合し、得られたスリップを用いて、ドクターブレード法によって厚さ40μmのセラミックグリーンシートを成形した。

【0041】このセラミックグリーンシートの所定の位置に、MPS装置を使用して、後から印刷する内部電極パターンの中央部に長辺方向に沿って1列に並ぶよう

に、直径120μmのスルーホールを、250μm間隔で8個加工した。

【0042】このスルーホール加工を施したグリーンシートに、Ag又はAg/Pdからなる導電性ペーストを用いて、スクリーン印刷法により、長方形の内部電極パターンを印刷した。この内部電極パターンの寸法は、内部電極の短辺の長さA=0.8mm、長辺の長さ(幅)B=3.2mm、短辺と長辺の長さの比A/B=0.25となり、厚さが8~10μmとなるようにした。また、ビアホールと接続する部分には、導電性ペーストの一部がスルーホールの淵に掛かるように、スルーホール径と同じ直径120μmの中抜きを設け、ビアホールと接続しない部分には、スルーホールの周囲にそれぞれ150μmのマージンを取り、直径540μmの中抜きを設けた。

【0043】次いで、隣り合うビアホールに交互に導通するように、2種類の内部電極パターンを印刷したグリーンシートを、交互に5枚ずつ積層した後、細長い空洞となったスルーホールに、内部電極と同じAg又はAg/Pdからなる導電性ペーストを充填した。

【0044】このように積層したグリーンシートを、熱圧着して一体化した後、長さ4.15mm、幅2.23mmのチップに切断した。これを乾燥機により300℃で脱バインダーした後、920℃、3.5時間の条件で焼成して、長さ3.2mm、幅1.6mm、厚さ1.0mmのチップ本体を作製した。

【0045】このチップ本体をバレル研磨にかけて角面を研磨した後、ビアホールの端部が露出した底面に、Ag又はAg/Pdからなる導電性ペーストを用いて、スクリーン印刷法により、基板用電極パターンを印刷した。この基板用電極パターンは、図1(c)に示したビアホール部が櫛型のものとし、その寸法は、基板用電極の長さが3.2mm、幅が、櫛の歯の先に相当する広い部分で1.05mm、歯の根元に相当する狭い部分で0.4mmとなるようにし、厚さは20μmとなるようにした。また、櫛の歯の幅に相当する部分は0.2mmとし、歯の間隔に相当する部分は0.15mmとした。これを乾燥後に、600℃、10分間の条件で焼成して基板用電極を形成し、セラミックコンデンサ試料Aを得た。

【0046】このようにして得た試料Aについてのインダクタンスの発生状況を、測定器YHP4274Aを用い、周波数1kHz、電圧1Vの時の静電容量を測定した後、測定器YHP4191Aを用い、共振周波数を測定し、共振周波数f₀と静電容量C、インダクタンスLの関係式 $f_0 = 1 / \sqrt{2\pi \sqrt{L \cdot C}}$ より、インダクタンスを算出した。その結果、試料Aが有するインダクタンスは、0.074 nHと非常に小さいものであった。

【0047】これに対し、比較例として図3に示した構造の長さ3.2mm、幅1.6mm、厚さ1.0mmのコンデンサについて、同様にインダクタンスを測定したところ、1.0~1.2 nHのインダクタンスを有しており、本

発明のセラミックコンデンサが極めて低インダクタンスであることが確認できた。

【0048】〔例2〕次に、〔例1〕と同様にしてセラミックコンデンサ試料を作製するに当り、内部電極の短辺の長さA及び長辺の長さBを変えて、表1に示すよう

試料	B	C	D	E	F	G	H
内部電極 A/B比	0.8	0.7	0.6	0.5	0.4	0.3	0.2
インダクタンス(nH)	0.303	0.194	0.126	0.096	0.087	0.075	0.074

【0050】表1の結果より、内部電極の短辺と長辺の長さの比A/Bが0.5以下のコンデンサ試料E～Hであれば、インダクタンスを0.1nH以下と非常に小さく抑制できることが確認できた。

【0051】〔例3〕次に、〔例1〕と同様にしてセラミックコンデンサ試料を作製するに当り、内部電極を接続するビアホールを合計数を、2個、4個及び6個に変えた。これらのビアホールは、試料Aの8個のビアホールと両端の位置が同じになるようにし、その間で内部電極パターンの中央部に長辺方向に沿って1列に並ぶように、等間隔に配置した。そして、ビアホールが2個の場合は、両端の1つずつが第1パターンと第2パターンのそれぞれの内部電極と基板用電極とを接続するように、また、4個及び6個の場合はその間で1つおきにそれぞれの内部電極と基板用電極とを接続するようにした。このようにして、それぞれ試料I、J及びKを得た。

【0052】これらについて〔例1〕と同様にしてインダクタンスを求めたところ、表2に示した結果が得られた。なお、表2には、試料Aの結果も併記した。

【0053】

【表2】

試料	I	J	K	A
ビアホール 個数	2	4	6	8
インダクタンス(nH)	0.341	0.167	0.096	0.074

試料	A	L	M	N	O	P
ビアホール間隔(mm)	0	0.05	0.10	0.15	0.20	0.25
インダクタンス(nH)	0.074	0.083	0.088	0.092	0.100	0.136

【0059】表3の結果より、本実施例のセラミックコンデンサにおいては、ビアホールを千鳥状に配置する場合、試料A及びL～Oのように内部電極の短辺方向の間隔を0.20mm以下に設定することが、インダクタンスの低減のために好ましいことが分かる。これは、ビアホールを千鳥状に配置すると、内部電極の中央部分の相互インダクタンスが増加するために、全体としてのインダクタンスが増加するためと考えられる。しかし、ビアホールを千鳥状に配置すると、基板用電極を形成する際の製

に短辺と長辺の長さの比A/Bの異なる試料B～Hを得た。これらについて〔例1〕と同様にしてインダクタンスを求めたところ、表1に示した結果が得られた。

【0049】

【表1】

【0054】表2の結果より、本実施例のセラミックコンデンサにおいては、試料K及びAのようにビアホールの合計数を6個以上に設定することが、インダクタンスの低減のために好ましいことが分かる。これは、ビアホールの数が減少すると、内部電極中の電流の流れにおいて内部電極の長辺方向の成分が大きくなるために、セラミックコンデンサの自己インダクタンスが増加してくるためと考えられる。

【0055】また、ESRを低く抑える点からも、ビアホールは、好ましくは合計で6個以上の多数設けることが良いと考えられる。

【0056】〔例4〕次に、〔例1〕と同様にしてセラミックコンデンサ試料を作製するに当り、内部電極を接続するビアホールの配置を、1列の直線状から、千鳥状の配置に変化させた。その際、ビアホールの径及び内部電極の長辺方向の間隔は試料Aと同じとし、短辺方向の間隔を表3に示すように0.05mm～0.25mmにおいて5段階に変えたものを作製した。また、基板用電極の櫛型部は、ビアホールの配置に合わせて適宜調節した。このようにして、それぞれ試料L～Pを得た。

【0057】これらについて〔例1〕と同様にしてインダクタンスを求めたところ、表3に示した結果が得られた。なお、表3には、試料Aの結果も併記した。

【0058】

【表3】

造上の容易さの点で有利となるので、その場合のビアホールの配置間隔は、インダクタンスとの兼ね合いで設定することが望ましい。

【0060】〔例5〕次に、〔例1〕と同様にしてセラミックコンデンサ試料を作製するに当り、基板用電極の厚さを変えた。基板用電極パターンを印刷した時の導電性ペーストの厚さを変えて、基板用電極の厚さを表4に示すように10～35μmの間で5段階に変えたものを作製し、それぞれ試料Q～Uを得た。

【0061】これらについて【例1】と同様にしてインダクタンスを求めたところ、表4に示した結果が得られた。なお、表4には、試料Aの結果も併記した。

試料	Q	R	A	S	T	U
ビアホール間隔(mm)	10	15	20	25	30	35
インダクタンス(nH)	0.074	0.074	0.074	0.077	0.078	0.085

【0063】表4の結果より、本実施例のセラミックコンデンサにおいては、基板用電極の厚さは特に大きな影響を与えていないが、望ましくは $20\mu\text{m}$ 以下とすることで、インダクタンスを更に低く抑えることができることが分かった。

【0064】

【発明の効果】以上詳述したように、本発明のセラミックコンデンサによれば、誘電体磁器層と長方形の内部電極とを交互に積層して形成されたコンデンサ部において、内部電極の短辺と長辺の長さの比 A/B を0.5以下とするとともに、チップ本体の内部電極と平行な一主面上のみに一対の基板用電極を内部電極と平行になるように形成し、この基板用電極と内部電極とを、内部電極の中央部に長辺方向に沿って列状に配設した一つおきのビアホールを介して接続する構成とすることにより、コンデンサに発生するインダクタンスを非常に小さく抑制することができ、極めて低インダクタンスとしたセラミックコンデンサを提供することができた。

【0065】また本発明のセラミックコンデンサによれば、非常に高速化された回路モジュールにおいてもノイズ発生による電圧レベルの変動に起因する誤動作を引き起こさない、極めて低インダクタンスとした面実装タイプのセラミックコンデンサを提供することができた。そのため、高速化された回路モジュールの動作を安定化することが可能となり、さらなる高速化に対応できるよう

【0062】

【表4】

になる。

10 【図面の簡単な説明】

【図1】(a)、(b)及び(c)は、それぞれ本発明のセラミックコンデンサの構成例を示す横断面図、縦断面図及び底面図である。

【図2】(a)及び(b)は、それぞれ本発明のセラミックコンデンサの構成例における電流の向きを説明する横断面図及び縦断面図である。

【図3】(a)及び(b)は、従来のチップ型コンデンサの構成を示す横断面図及び縦断面図である。

【図4】(a)及び(b)は、従来の他のチップ型コンデンサの構成を示す横断面図及び縦断面図である。

【図5】従来の他のチップ型コンデンサの構成を示す縦断面図である。

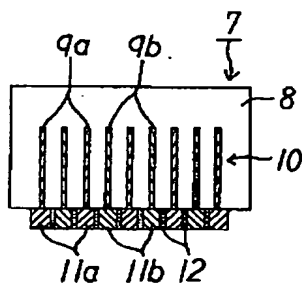
【図6】従来の他のチップ型コンデンサの構成を示す横断面図である。

【図7】(a)及び(b)は、従来の他のチップ型コンデンサの構成を示す横断面図及び縦断面図である。

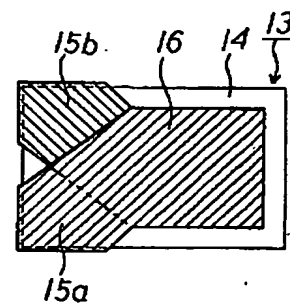
【符号の説明】

23・・・セラミックコンデンサ
24・・・チップ本体
25a、25b・・・内部電極
26・・・コンデンサ部
27a、27b・・・基板用電極
28a、28b・・・ビアホール

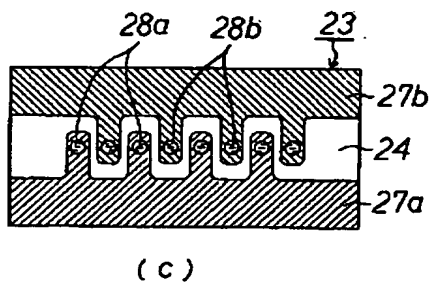
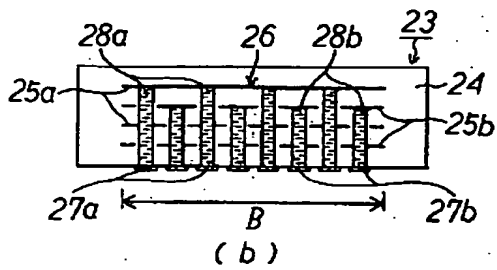
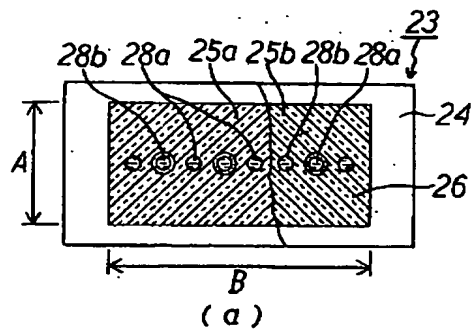
【図5】



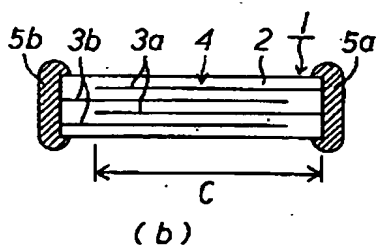
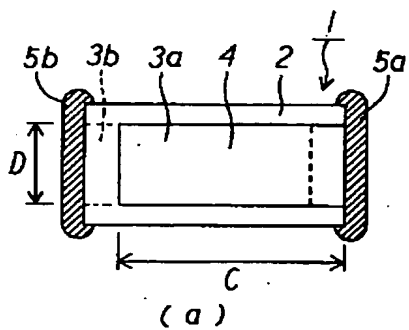
【図6】



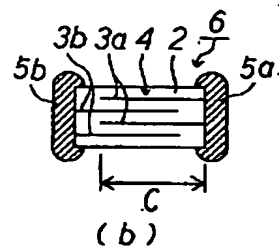
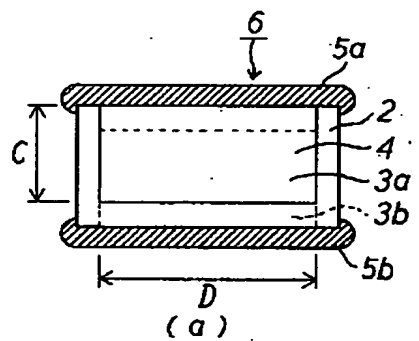
【図1】



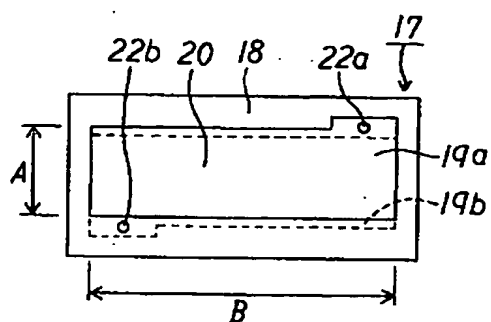
【図3】



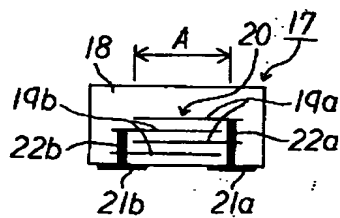
【図4】



【図 7】



(a)



(b)